

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-049664

(43)Date of publication of application : 21.02.1995

(51)Int.Cl.

G09G 3/28

(21)Application number : 05-196003

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.08.1993

(72)Inventor : ARIMORI IWAO

(54) DEVICE FOR DRIVING DISCHARGE PANEL

(57)Abstract:

PURPOSE: To adjust color balance at the time of color display and to adjust a relation between the number of display gradations and the light emitting luminance.

CONSTITUTION: A waveform read only memory 24 outputting the program control data of a pulse based on respective outputs of a waveform read only memory timing control circuit 25 outputting the waveform control signal of the pulse according to a discharge time and a waveform read only memory mode selection circuit 26 selecting the number of pieces of the discharge pulse on color signals of R, G, B by mode is provided, and an electrode of a row and the electrode of a column are driven by respective drivers 22, 23 of the row side and the column side based on the program control data from the waveform read only memory 24.



LEGAL STATUS

[Date of request for examination]

04.06.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3121965

[Date of registration]

20.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The wave read-only-memory timing control circuit which outputs the wave control signal of the pulse according to the charging time value of the discharge generated in the electrode of the line which constitutes a discharge panel, and inter-electrode [of a train], The wave read-only-memory mode selection circuit which chooses the width of face of the above-mentioned pulse according to the mode about the chrominance signal of R, G, and B, The wave read-only memory which outputs the program control data of the above-mentioned pulse based on each output of this wave read-only-memory mode selection circuit and the above-mentioned wave read-only-memory timing control circuit, The discharge panel driving gear equipped with the line side driver which drives the electrode of the above-mentioned line, and the electrode of a train, and the train side driver based on the program control data from this wave read-only memory.

[Claim 2] The data-point generation circuit which outputs the pulse data in which standup timing and falling timing are shown, The 1st latch buffer and the 2nd latch buffer which are formed by chrominance-signal correspondence of R, G, and B, and latch the pulse data of the standup timing of the above-mentioned pulse data, and the pulse data of falling timing, this — with the 1st comparator and the 2nd comparator which compare the output value of the 1st latch buffer and the 2nd latch buffer with the output value which changes from a counter circuit every moment The time of each value compared in the 1st comparator of the above being in agreement is set as standup timing of a maintenance pulse. The discharge panel driving gear equipped with the set reset flip flop reset considering the time of on the other hand each value compared in the 2nd comparator of the above being in agreement as falling timing of a maintenance pulse.

[Claim 3] The number selection circuitry of gradation which chooses the number of gradation for obtaining predetermined luminescence brightness, and the field control circuit which controls the number of the subfield in the 1 field of a display based on the output of this number selection circuitry of gradation, The wave read-only memory which outputs the program control data of a discharge pulse required for discharge in order to obtain the above-mentioned luminescence brightness, The discharge panel driving gear equipped with the line side driver which drives the electrode of the line of the above-mentioned discharge panel, and the electrode of a train, and the train side driver based on each output of this read-only memory and the above-mentioned field control circuit so that luminescence brightness and the number of gradation might be adjusted.

[Claim 4] The wave read-only-memory timing control circuit which outputs the wave control signal of the pulse according to the charging time value of the discharge generated in the electrode of the line which constitutes a discharge panel, and inter-electrode [of a train], So that the pulse width of each maintenance pulse of R, G, and B may be adjusted for every subfield with the wave read-only-memory mode selection circuit which chooses the width of face of the above-mentioned pulse according to the mode about the chrominance signal of R, G, and B The field control circuit which controls the mode selection circuit of the above-mentioned wave read-only memory, The wave read-only memory which outputs the program control data of the above-mentioned discharge pulse in response to each output of the above-mentioned wave read-only-memory mode selection circuit and the above-mentioned wave

read-only-memory timing control circuit, The discharge panel driving gear equipped with the line side driver which drives the electrode of the above-mentioned line, and the electrode of a train, and the train side driver based on the program control data from this wave read-only memory.

[Claim 5] So that the pulse width of each maintenance pulse of R, G, and B may be adjusted for every subfield with the data-point generation circuit which outputs the pulse data in which standup timing and falling timing are shown It is prepared by the field control circuit which controls the above-mentioned data-point generation circuit, and chrominance-signal correspondence of R, G, and B. The 1st latch buffer and the 2nd latch buffer which latch the pulse data of the standup timing of the above-mentioned pulse data, and the pulse data of falling timing, this — with the 1st comparator and the 2nd comparator which compare the output value of the 1st latch buffer and the 2nd latch buffer with the output value which changes from a counter circuit every moment The time of each value compared in the 1st comparator of the above being in agreement is set as standup timing of a maintenance pulse. The discharge panel driving gear equipped with the set reset flip flop reset considering the time of on the other hand each value compared in the 2nd comparator of the above being in agreement as falling timing of a maintenance pulse.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the discharge panel driving gear which carries out color-balance adjustment of a display.

[0002]

[Description of the Prior Art] Drawing 8 is the block diagram showing the conventional discharge panel display shown in Institute of Electronics and Communication Engineers technical report, "20 Improvement of the television image quality in a mold color discharge display" of EID 89-73 (January 18, 1990 issue), *****, etc. drawing — setting — 1 — a front plate and 2 — a tooth-back plate and 3 — for a display cel and 6, as for cathode and 8, an auxiliary cel and 7 are [a bank and 4 / the space for primings, and 5 / an anode plate and 9] auxiliary anodes.

[0003] Moreover, drawing 9 is the block diagram showing the control circuit of the matrix type indicating equipment which is the above-mentioned discharge panel indicating equipment, and, for a display-control signal generator and 13, as for a cathode drive circuit and 15, a frame memory and 14 are [11 / a display panel and 12 / a display anode plate drive circuit and 16] auxiliary anode drive circuits in drawing.

[0004] Moreover, drawing 10 is the timing chart showing each electrodes 7 and 8 of the above-mentioned matrix type display, and actuation of the display cel 5, and drawing 11 is the explanatory view showing the luminescence time amount between 1 feed in this matrix type display, and the relation of gradation control.

[0005] Next, actuation is explained. First, auxiliary discharge occurs between the above-mentioned auxiliary anode 9 where the forward electrical potential difference is impressed from the constant current source which is not illustrated, and the cathode 7 where the scan pulse shown in drawing 10 is impressed. The metastable particle produced in this discharge is diffused from the auxiliary cel 6 through the space 4 for primings to the display cel 5.

[0006] Discharge is generated between the cathode 7 where the write-in pulse of a forward electrical potential difference is impressed to an anode plate 8, and the scan pulse of a negative electrical potential difference is impressed next when the display cel 5 needs to emit light.

[0007] After this scan pulse, since cathode 7 maintains fixed period maintenance level as shown in drawing 10, in the display cel 5 which discharge produced, continuous maintenance discharge occurs by the maintenance pulse impressed succeeding the display anode plate 8. Maintenance discharge stops by impression of the blanking pulse to cathode 7.

[0008] Next, gradation control is explained. Now, each dot of the one address of a frame memory 13 and display panel 11 corresponds to 1 to 1, and the depth of the one address of a frame memory 13 explains as 8 bits.

[0009] If the scan of the cathode by the cathode drive circuit 14 is performed one by one from a top to the bottom and a forward electrical potential difference is impressed to an auxiliary anode 9 by the auxiliary anode drive circuit 16 regardless of the existence of data display in response to control of the display-control signal generator 12, auxiliary discharge will occur and the sequential shift also of this auxiliary discharge will be carried out from a top to the bottom according to a cathode scan.

[0010] Moreover, all one line is read, an indicative data is outputted to an anode plate 8 according to scan timing via the display anode plate drive circuit 15, when an indicative data is effective, a forward write-in pulse is impressed to an anode plate 8, and display discharge is performed by the priming effect immediately after auxiliary discharge.

[0011] On the other hand, since only the negative electrical-potential-difference pulse for a scan of cathode 7 is impressed when the above-mentioned indicative data is an invalid, display discharge is not performed.

[0012] When it goes to last Rhine of the bottom, one subfield ends this actuation. In this one subfield, it displays about one of bits with a depth [of a frame memory 13] of 8 bits. Therefore, the number of subfields shows the contents of a configuration of the subfield used as eight pieces to drawing 11 in this case.

[0013] Signs that perform the bit [7th] display scan of a bit (MSB) with the first largest weight, i.e., the most significant bit, and perform the display scan of a bit with small weight in order, and the bit [0th] display scan of a bit (LSB) with the smallest weight, i.e., the least significant bit, is finally performed are shown by drawing 11.

[0014] In this case, in order to make the weight of a bit reflect in the brightness of a display screen, the luminescence maintenance period after writing is changed according to the weight of a bit. The impression timing of the blanking pulse described previously performs control of a luminescence maintenance period. If the count of maintenance discharge by the maintenance pulse expresses the die length of a luminescence maintenance period, the 6th bit will become 192 times in the one half 384 times by the 7th bit, and the 0th bit of the last will become 3 times by $1/128$ [bit / 7th].

[0015] With this method, the display of 256 gradation by depth of 8 bits is attained. If it considers that a subfield "7" is 100%, a subfield "6" will reduce display duty by half in 50% and order, and it will become 25% in the whole 1 field.

[0016]

[Problem(s) to be Solved by the Invention] Since the conventional discharge panel indicating equipment was constituted as mentioned above, it was not coped with about the color-balance at the time of a display, but in colorization, a certain color-balance was required, and there were troubles, like brightness falls victim in 256 gradation control.

[0017] It aims at obtaining the discharge panel driving gear which can adjust the relation of the number of gradation and brightness of multi-gradation control while invention of claim 1 was made in order to cancel the above troubles, and it can perform adjustment of a color-balance.

[0018] Invention of claim 2 aims at obtaining the discharge panel driving gear which can carry out pulse width adjustment which made clock frequency of a counter circuit the unit with high precision using a logical circuit.

[0019] Invention of claim 3 aims at obtaining the discharge panel driving gear which can obtain a clear image by selection setup of luminescence brightness and the number of gradation.

[0020] Invention of claim 4 is changing the relation of each maintenance pulses R, G, and B for every subfield, and it aims at obtaining the discharge panel driving gear which can set up a good color-balance.

[0021] Invention of claim 5 aims at obtaining the discharge panel driving gear which can set up a color-balance with a still higher precision.

[0022]

[Means for Solving the Problem] The discharge panel driving gear concerning invention of claim 1 The wave read-only-memory timing control circuit which outputs the wave control signal of the pulse according to a charging time value, The wave read-only-memory mode selection circuit which chooses the width of face of the above-mentioned pulse according to the mode about the chrominance signal of R, G, and B, It is based on each output of this wave read-only-memory mode selection circuit and the above-mentioned wave read-only-memory timing control circuit. The wave read-only memory which outputs the program control data of the above-mentioned pulse is prepared, and it is made to make the electrode of a line, and the electrode of a train drive by each driver by the side of a line and a train based on the program control data from this wave read-only memory.

[0023] The discharge panel driving gear concerning invention of claim 2 The data-point generation circuit which outputs the pulse data in which standup timing and falling timing are shown, The 1st latch buffer and the 2nd latch buffer which latch the pulse data of the standup timing of the above-mentioned pulse data, and the pulse data of falling timing, The 1st comparator and 2nd comparator which compare the output value of the 1st latch buffer and the 2nd latch buffer with the output value which changes from a counter circuit every moment are formed. this — The time of each value compared in the 1st comparator of the above in a set reset flip flop being in agreement is made to set as standup timing of a maintenance pulse. It is made to make the time of each value compared in the 2nd comparator of the above being in agreement reset as falling timing of a maintenance pulse.

[0024] The discharge panel driving gear concerning invention of claim 3 The number selection circuitry of gradation which chooses the number of gradation for obtaining predetermined luminescence brightness, and the field control circuit which controls the number of the subfield in the 1 field of a display based on the output of this number selection circuitry of gradation, The wave read-only memory which outputs the program control data of a discharge pulse required for discharge is prepared. It is made to make the electrode of the line of a discharge panel, and the electrode of a train drive based on each output of this read-only memory and the above-mentioned field control circuit, so that luminescence brightness and the number of gradation may be adjusted to each driver by the side of a line and a train.

[0025] The discharge panel driving gear concerning invention of claim 4 prepares the field control circuit which controls the mode selection circuit of the above-mentioned wave read-only memory so that the pulse width of each maintenance pulse of R, G, and B may be adjusted for every subfield.

[0026] The discharge panel driving gear concerning invention of claim 5 prepares the field control circuit which controls a data-point generation circuit so that the pulse width of each maintenance pulse of R, G, and B may be adjusted for every subfield.

[0027]

[Function] The discharge panel driving gear in invention of claim 1 is changing the pulse width of a maintenance pulse for every color of R, G, and B, changes the discharge reinforcement for every color,

and takes the color-balance of the luminescent color.

[0028] The discharge panel driving gear in invention of claim 2 enables high fine tuning of the precision of the pulse width which made clock frequency of a counter circuit the unit by the logical circuit which constitutes a data-point generation circuit.

[0029] By the number selection circuitry of gradation, the discharge panel driving gear in invention of claim 3 is choosing the number of display gradation, raises display duty, and raises the whole brightness.

[0030] The discharge panel driving gear in invention of claim 4 changes the relation of each maintenance pulses R, G, and B for every subfield, and makes it take the color-balance of the luminescent color.

[0031] The discharge panel driving gear in invention of claim 5 changes the relation of each maintenance pulses R, G, and B outputted from the pulse generator which consisted of logical circuits, and a color-balance with a more high precision is obtained.

[0032]

[Example]

One example of invention of claim 1 is explained about drawing below example 1. For a line side driver and 23, as for the wave read-only memory (henceforth Wave ROM) as wave memory, and 25, in drawing 1, a train side driver and 24 are [21 / a discharge panel and 22 / a wave ROM timing control circuit (wave lead-on memory timing control circuit) and 26] wave ROM mode selection circuits (wave lead-on memory mode selection circuit).

[0033] Moreover, drawing 2 is a timing diagram which shows each maintenance pulse impressed to the train side driver 23 divided into three sorts of chrominance signals, R, G, and B, and the mode selection condition of the wave ROM mode selection circuit 26.

[0034] Next, actuation is explained. First, in displaying an image on the discharge panel 21, the line side driver 22 and the train side driver 23 are driven by the control pulse which is the output of a wave ROM 24 controlled by the wave ROM timing control circuit 25, and the discharge cel made into the purpose is made to produce discharge, and it performs maintenance discharge by the count according to the weight of an indicative data further.

[0035] And although one pixel will consist of three discharge cels for R, G, and B at the case of a color picture, if the luminescent color of R, G, and B is made to discharge on the same conditions in order that it may excite and obtain a fluorescent substance by ultraviolet rays, it will not usually be that the well-balanced luminescent color is obtained. Therefore, the pulse width of a maintenance pulse is adjusted to every R, G, and B, respectively, and the color-balance of the luminescent color is adjusted.

[0036] Moreover, in drawing 2, if the pulse width of each maintenance pulses R, G, and B is the same and will be in the condition in Mode B in the state of the mode A chosen in the wave ROM mode selection circuit 26, the width of face of the maintenance pulse R will become large, and, in the maintenance pulse G, the width of face of the maintenance pulse B will become small as it is.

[0037] Therefore, in Mode B, the luminescence reinforcement of R color becomes strong and the luminescence reinforcement of B color becomes weaker. And if a mode number is increased and it has the combination of all maintenance pulses, a color-balance can be adjusted easily.

[0038] Although the above-mentioned example showed the thing which is example 2. and which used the wave ROM 24 as a pulse generator, a logical circuit can also constitute a pulse generator with a high precision. Drawing 3 shows this example.

[0039] Namely, the set-reset type flip-flop of plurality [27], The comparator as two or more sets of the 1st comparator and 2nd comparator by which 28 and 29 were connected to the set input terminal and reset input terminal of each flip-flop 27, The 1st latch buffer by which 30 and 31 were connected to each comparators 28 and 29, and the latch buffer as 2nd latch buffer, 32 is a counter circuit, 33 is a data-point generation circuit, and it consists of the actuation input section, the processor section, a latch buffer, a shift register, etc.

[0040] In this example, the data in which each maintenance pulses R, G, and B start from the data-point generation circuit 33, and timing and falling timing are shown are outputted. Among these, the

maintenance pulse R starts, timing data are latched to the latch buffer 30, and the data in which the falling timing of the maintenance pulse R is shown are latched to the latch buffer 31.

[0041] The output value of the latch buffer 30 is compared with the output value of the counter circuit 32 which changes every moment, the maintenance pulse R starts the time of both being in agreement, as timing, a comparator 28 sets a set reset flip flop 27, and on the other hand, a comparator 29 compares the output value of the latch buffer 31 with the output value of a counter circuit 32, and it resets a set reset flip flop 27 for the time of both being in agreement as falling timing of the maintenance pulse R.

[0042] The desired maintenance pulse R is generated by carrying out like this. In addition, it is generated by the same circuit actuation which the maintenance pulse G and the maintenance pulse B became independent of.

[0043] In addition, although the number of patterns of pulse width is restricted by the number of address inputs which ROM has when a wave ROM 24 like an example 1 is used, in the logical circuit which constitutes the data-point generation circuit 33 of this example, fine tuning which made clock frequency of a counter circuit 32 the unit is attained.

[0044] And it is realizable by easy hardware with the spread of custom ICs, such as a field programmable gate array (FPGA) in recent years.

[0045] In example 3. and the conventional example, although display duty was 25% since the 1 field was divided and scanned to eight subfields for 256 gradation, luminescence brightness and the number of gradation can be chosen and display duty can be raised.

[0046] This example is shown in drawing 4 . In drawing 4 , 34 is a field control circuit which controls a subscan required for a gradation display, in the case of 8-bit 256 gradation, divides the 1 field into eight subfields, and performs a display control.

[0047] However, the number of gradation is not so required, and the number selection circuitry 35 of gradation operates, and on the other hand, when the whole brightness wants to improve, as the control wave of the desired number of gradation is outputted from the field control circuit 34, it raises display duty.

[0048] A subfield configuration when drawing 5 considers as 4-bit 16 gradation is shown, and the display duty in this case is 50%. Reducing the number of gradation further, a 1-bit binary display, then display duty become 100%.

[0049] In the usual image display, this example that brightness falls, and brightness goes up when there is few gradation when there is many gradation since image quality is clear even if brightness runs short, if contrast is high is a significant function.

[0050] The amount of the ultraviolet rays which generate example 4. and a color-balance by discharge, Since various conditions, such as the property of the fluorescent substance excited by ultraviolet rays, influence When being related with the count of discharge may become nonlinear, for example, it displays with 8-bit 256 gradation, The case where the relation of each maintenance pulses R, G, and B which balanced in the subfield which displays MSB, i.e., the most significant bit, is inapplicable to all eight subfields to the subfield which displays LSB, i.e., the least significant bit, as it is arises.

[0051] In this case, what is necessary is just to change the relation of each maintenance pulses R, G, and B for every subfield. The example is shown in drawing 6 . in this example, when the field control circuit 34 controls a subfield, a part of that control signal is told to the wave ROM mode selection circuit 26, and there is relation to drawing 2 of the maintenance pulses R, G, and B — like — a subfield — it synchronizes with changing, for example, changes from Mode A to Mode B, and changes for every subfield.

[0052] Although that to which the pulse width of each maintenance pulses R, G, and B which control the wave ROM mode-selection circuit 26 by the field control circuit 34, and are outputted from a wave ROM 24 in the example 5. above-mentioned example 4 was changed was shown, the data-point generation circuit 33 shown in the above-mentioned example 2 may control, and the relation of each maintenance

pulses R, G, and B outputted from the pulse generator which consisted of logical circuits may change. The example is shown in drawing 7.

[0053] According to this, when the field control circuit 34 controls a subfield, a part of the control signal is told to the data-point generation circuit 33, the pulse width of for example, the maintenance pulse R changes, the maintenance pulses G and B change similarly, and the relation of each maintenance pulses R, G, and B changes because actuation of the latch buffers 30 and 31 of each class, comparators 28 and 29, and a set reset flip flop 27 changes.

[0054] Therefore, according to this operation, a color-balance with a more high precision can be obtained in comparison with the above-mentioned example 4.

[0055]

[Effect of the Invention] As mentioned above, the wave read-only-memory timing control circuit which outputs the wave control signal of the pulse according to a charging time value according to invention of claim 1, The wave read-only-memory mode selection circuit which chooses the width of face of the above-mentioned discharge pulse according to the mode about the chrominance signal of R, G, and B, It is based on each output of this wave read-only-memory mode selection circuit and the above-mentioned wave read-only-memory timing control circuit. The wave read-only memory which outputs the program control data of the above-mentioned pulse is prepared. Since it constituted so that the electrode of a line and the electrode of a train might be made to drive by each driver by the side of a line and a train based on the program control data from this wave read-only memory, it is effective in what can perform adjustment of the color-balance in color display being obtained.

[0056] The 1st latch buffer and the 2nd latch buffer which latch the pulse data of the standup timing of pulse data which according to invention of claim 2 it starts and shows timing and falling timing, and the pulse data of falling timing, The 1st comparator and 2nd comparator which compare the output value of the 1st latch buffer and the 2nd latch buffer with the output value which changes from a counter circuit every moment are formed. this — The time of each value compared in the 1st comparator of the above in a set reset flip flop being in agreement is made to set as standup timing of a maintenance pulse. Since it constituted so that the time of each value compared in the 2nd comparator of the above being in agreement might be made to reset as falling timing of a maintenance pulse A logical circuit is used and it is effective in what can realize pulse width adjustment which makes clock frequency of a counter circuit a unit in a high precision being obtained.

[0057] The field control circuit which controls the number of the subfield in the 1 field of a display based on the output of the number selection circuitry of gradation according to invention of claim 3, The wave read-only memory which outputs the program control data of a discharge pulse required for discharge is prepared. Based on each output of this read-only memory and the above-mentioned field control circuit, so that luminescence brightness and the number of gradation may be adjusted to each driver by the side of a line and a train Since it constituted so that the electrode of the line of a discharge panel and the electrode of a train might be made to drive, it is effective in what can perform clear image display by selection setup of luminescence brightness and the number of gradation being obtained.

[0058] Since according to invention of claim 4 it constituted so that the mode selection circuit of the above-mentioned wave read-only memory might be controlled by the field control circuit to adjust the pulse width of each maintenance pulse of R, G, and B for every subfield, it is effective in what can set up a good color-balance with each gradation of multi-gradation control being obtained, obtaining the luminescence brightness which needs the relation of each maintenance pulse by making it change for every subfield.

[0059] Since according to invention of claim 5 it constituted so that the pulse width of each maintenance pulses R, G, and B might be made to adjust to a field control circuit for every subpulse, it is effective in what can set up a color-balance with a still higher precision being obtained.

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the discharge panel driving gear by one example of invention of claim 1.

[Drawing 2] It is the timing chart showing the signal of each part of a block in drawing 1.

[Drawing 3] It is the block diagram showing the discharge panel driving gear by one example of invention of claim 2.

[Drawing 4] It is the block diagram showing the discharge panel driving gear by one example of invention of claim 3.

[Drawing 5] It is the explanatory view showing the subfield configuration in the example of drawing 4.

[Drawing 6] It is the block diagram showing the discharge panel driving gear by one example of invention of claim 4.

[Drawing 7] It is the block diagram showing the discharge panel driving gear by one example of invention of claim 5.

[Drawing 8] It is the block diagram showing the structure of the conventional discharge panel display.

[Drawing 9] It is the block diagram showing the drive approach of the conventional discharge panel indicating equipment.

[Drawing 10] It is the timing chart showing actuation of the conventional discharge panel display.

[Drawing 11] It is the explanatory view showing the luminescence time amount between 1 fields of the conventional discharge panel display, and the relation of gradation control.

[Description of Notations]

21 Discharge Panel

22 Line Side Driver

23 Train Side Driver

24 Wave ROM (Wave Read-only Memory)

25 Wave ROM Timing Control Circuit (Wave Read-only-Memory Timing Control Circuit)

26 Wave ROM Mode Selection Circuit (Wave Read-only-Memory Mode Selection Circuit)

27 Set Reset Flip Flop

28 Comparator (1st Comparator)

29 Comparator (2nd Comparator)

30 Latch Buffer (1st Latch Buffer)

31 Latch Buffer (2nd Latch Buffer)

32 Counter Circuit

33 Data-Point Generation Circuit

34 Field Control Circuit

35 The Number Selection Circuitry of Gradation

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-49664

(43)公開日 平成7年(1995)2月21日

(51)Int.Cl.⁸

G 0 9 G 3/28

識別記号

庁内整理番号

K 9378-5G

R 9378-5G

F I

技術表示箇所

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21)出願番号

特願平5-196003

(22)出願日

平成5年(1993)8月6日

(71)出願人: 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 有森 巖

長崎市旭町8番23号 三菱電機エンジニア

リング株式会社長崎事業所内

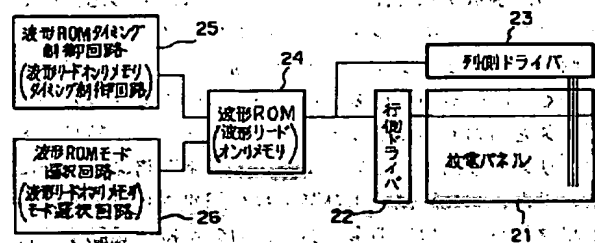
(74)代理人 弁理士 田澤 博昭 (外1名)

(54)【発明の名称】 放電パネル駆動装置

(57)【要約】

【目的】 カラー表示時のカラーバランス調整を可能とし、表示階調数と発光輝度との関係を調整可能にする。

【構成】 放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路25と、上記放電パルスの個数をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路26との各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリ24とを設け、該波形リードオンリメモリからのプログラム制御データにもとづき行の電極および列の電極を行側および列側の各ドライバにより駆動させる。



【特許請求の範囲】

【請求項 1】 放電パネルを構成する行の電極および列の電極間で発生する放電の放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記パルスの幅を R、G、B の色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、該波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリと、該波形リードオンリメモリからのプログラム制御データにもとづき、上記行の電極および列の電極を駆動する行側ドライバおよび列側ドライバとを備えた放電パネル駆動装置。

【請求項 2】 立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータを出力する波形データ生成回路と、R、G、B の色信号対応で設けられ、上記パルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第 1 のラッチバッファおよび第 2 のラッチバッファと、該第 1 のラッチバッファおよび第 2 のラッチバッファの出力値とカウンタ回路からの刻々変化する出力値とを比較する第 1 のコンパレータおよび第 2 のコンパレータと、上記第 1 のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットされ、一方、上記第 2 のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットされるセットリセットフリップフロップとを備えた放電パネル駆動装置。

【請求項 3】 所定の発光輝度を得るための階調数を選択する階調数選択回路と、該階調数選択回路の出力にもとづいて、表示の 1 フィールドにおけるサブフィールドの個数を制御するフィールド制御回路と、上記発光輝度を得るために放電に必要な放電パルスのプログラム制御データを出力する波形リードオンリメモリと、該リードオンリメモリおよび上記フィールド制御回路の各出力にもとづき、発光輝度および階調数が調整されるように、上記放電パネルの行の電極および列の電極を駆動する行側ドライバおよび列側ドライバとを備えた放電パネル駆動装置。

【請求項 4】 放電パネルを構成する行の電極および列の電極間で発生する放電の放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記パルスの幅を R、G、B の色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、サブフィールドごとに R、G、B の各維持パルスのパルス幅を調整するように、上記波形リードオンリメモリのモード選択回路を制御するフィールド制御回路と、上記波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力を受けて、上記放電パルスのプログラム制御デ

ータを出力する波形リードオンリメモリと、該波形リードオンリメモリからのプログラム制御データにもとづき、上記行の電極および列の電極を駆動する行側ドライバおよび列側ドライバとを備えた放電パネル駆動装置。

【請求項 5】 立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータを出力する波形データ生成回路と、サブフィールドごとに R、G、B の各維持パルスのパルス幅を調整するように、上記波形データ生成回路を制御するフィールド制御回路と、R、G、B の色信号対応で設けられ、上記パルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第 1 のラッチバッファおよび第 2 のラッチバッファと、該第 1 のラッチバッファおよび第 2 のラッチバッファの出力値とカウンタ回路からの刻々変化する出力値とを比較する第 1 のコンパレータおよび第 2 のコンパレータと、上記第 1 のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットされ、一方、上記第 2 のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットされるセットリセットフリップフロップとを備えた放電パネル駆動装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、表示のカラーバランス調整を実施する放電パネル駆動装置に関するものである。

【0002】

【従来の技術】 図 8 は例えば電子通信学会技術報告、E1D89-73（1990年1月18日発行）の「20型カラー放電ディスプレイにおけるテレビ画質の改善」関昌彦他に示された従来の放電パネル表示装置を示す構成図であり、図において、1 は前面板、2 は背面板、3 は土手、4 はブラッキング用空間、5 は表示セル、6 は補助セル、7 は陰極、8 は陽極、9 は補助陽極である。

【0003】 また、図 9 は上記放電パネル表示装置であるマトリックス型表示装置の制御回路を示すブロック図であり、図において、11 は表示パネル、12 は表示制御信号発生器、13 はフレームメモリ、14 は陰極駆動回路、15 は表示陽極駆動回路、16 は補助陽極駆動回路である。

【0004】 また、図 10 は上記マトリックス型表示装置の各電極 7、8 と表示セル 5 の動作を示すタイミング図であり、図 11 はこのマトリックス型表示装置における 1 フィールド間の発光時間と階調制御の関係を示す説明図である。

【0005】 次に動作について説明する。まず、図示しない定電流源より正電圧が印加されている上記補助陽極 9 と、図 10 に示す走査パルスが印加される陰極 7 との

間には、補助放電が発生する。この放電で生じた準安定粒子は、補助セル6から表示セル5へブライミング用空間4を通じて拡散する。

【0006】この後に、表示セル5の発光が必要な時は、陽極8に正電圧の書込パルスが印加され、負電圧の走査パルスが印加されている陰極7との間で放電が発生させる。

【0007】この走査パルスの後、陰極7は図10に示すように一定期間維持レベルを保つので、放電が生じた表示セル5では、表示陽極8に連続して印加される維持パルスによって、連続的な維持放電が発生する。維持放電は陰極7への消去パルスの印加によって停止する。

【0008】次に、階調制御について説明する。いま、フレームメモリ13の1つのアドレスと表示パネル11の各ドットが1対1に対応し、フレームメモリ13の1つのアドレスの深さが8ビットとして説明する。

【0009】表示制御信号発生器12の制御を受けて、陰極駆動回路14による陰極の走査が上から下へ順次行なわれ、データ表示の有無に関係なく補助陽極駆動回路16によって補助陽極9に正電圧が印加されると、補助放電が発生し、陰極走査に従って、この補助放電も上から下へ順次移行する。

【0010】また、表示データは1ライン分が全て読み出され、表示陽極駆動回路15を経由して走査タイミングに合わせて陽極8に出力され、表示データが有効な時、陽極8に正の書込パルスが印加されて、補助放電直後のブライミング効果によって、表示放電が行なわれる。

【0011】一方、上記表示データが無効の時、陰極7の走査用負電圧パルスだけ印加されるので、表示放電は行なわない。

【0012】この動作を最下段の最終ラインまで行った時に、1つのサブフィールドが終了する。この1つのサブフィールドでは、フレームメモリ13の深さ8ビットのうちの1つのビットについて表示を行う。従って、この場合サブフィールドの数は8個となるサブフィールドの構成内容を図11に示す。

【0013】図11では、まず、一番重みの大きいビットすなわち最上位ビット(MSB)の第7ビットの表示走査を行い、それから順に重みの小さいビットの表示走査を行って、最後に一番重みの小さいビットすなわち最下位ビット(LSB)の第0ビットの表示走査を行う様子が示されている。

【0014】この場合、ビットの重みを表示画面の明るさに反映させる為に、書込み後の発光維持期間をビットの重みに応じて変化させている。発光維持期間の制御は先に述べた消去パルスの印加タイミングによって行う。発光維持期間の長さを維持パルスによる維持放電回数によって表わすと第7ビットで38.4回、第6ビットはその半分で19.2回となり、最後の第0ビットは第7ビットの128分の1で3回となる。

【0015】この方式により、深さ8ビットによる256階調の表示が可能となる。表示デューティはサブフィールド「7」を100%とみなすと、サブフィールド「6」が50%と、順に半減して、1フィールド全体では25%となる。

【0016】

【発明が解決しようとする課題】従来の放電パネル表示装置は以上のように構成されているので、表示時のカラーバランスについて対策されておらず、カラー化においては何らかのカラーバランスが必要で、また、256階調制御においては、輝度が犠牲になるなどの問題点があった。

【0017】請求項1の発明は上記のような問題点を解消するためになされたもので、カラーバランスの調整ができるとともに、多階調制御の階調数と輝度の関係を調整できる放電パネル駆動装置を得ることを目的とする。

【0018】請求項2の発明は論理回路を用いて、カウンタ回路の動作周波数を単位としたパルス幅調整を高精度に実施できる放電パネル駆動装置を得ることを目的とする。

【0019】請求項3の発明は発光輝度と階調数の選択設定により鮮明画像を得ることができる放電パネル駆動装置を得ることを目的とする。

【0020】請求項4の発明はサブフィールドごとに各維持パルスR、G、Bの関係を変化させることで、良好なカラーバランスを設定できる放電パネル駆動装置を得ることを目的とする。

【0021】請求項5の発明は更に精度の高いカラーバランスを設定できる放電パネル駆動装置を得ることを目的とする。

【0022】

【課題を解決するための手段】請求項1の発明に係る放電パネル駆動装置は、放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記パルスの幅をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、該波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該波形リードオンリメモリからのプログラム制御データにもとづき、行の電極および列の電極を行側および列側の各ドライバにより駆動させるようにしたものである。

【0023】請求項2の発明に係る放電パネル駆動装置は、立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータを出力する波形データ生成回路と、上記パルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第1のラッチバッファおよび第2のラッチバッファと、該第1のラッチバッファおよび第2のラッチバッファ

アの出力値とカウンタ回路からの刻々変化する出力値とを比較する第1のコンパレータおよび第2のコンパレータとを設け、セトリセットフリップフロップを、上記第1のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットさせ、上記第2のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットさせるようにしたものである。

【0024】請求項3の発明に係る放電パネル駆動装置は、所定の発光輝度を得るための階調数を選択する階調数選択回路と、該階調数選択回路の出力にもとづいて、表示の1フィールドにおけるサブフィールドの個数を制御するフィールド制御回路と、放電に必要な放電パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該リードオンリメモリおよび上記フィールド制御回路の各出力にもとづき、行側および列側の各ドライバに、発光輝度および階調数が調整されるように、放電パネルの行の電極および列の電極を駆動させるようにしたものである。

【0025】請求項4の発明に係る放電パネル駆動装置は、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、上記波形リードオンリメモリのモード選択回路を制御するフィールド制御回路を設けたものである。

【0026】請求項5の発明に係る放電パネル駆動装置は、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、波形データ生成回路を制御するフィールド制御回路を設けたものである。

【0027】
【作用】請求項1の発明における放電パネル駆動装置は、維持パルスのパルス幅をR、G、Bの各色ごとに变化させることで、各色ごとの放電強度を变化させ、発光色のカラーバランスをとる。

【0028】請求項2の発明における放電パネル駆動装置は、波形データ生成回路を構成する論理回路により、カウンタ回路の動作周波数を単位としたパルス幅の精度の高い微調整を可能にする。

【0029】請求項3の発明における放電パネル駆動装置は、階調数選択回路によって表示階調数を選択することで、表示デューティを上げ、全体の輝度を向上させる。

【0030】請求項4の発明における放電パネル駆動装置は、サブフィールドごとに各維持パルスR、G、Bの関係を变化させ、発光色のカラーバランスをとらせるようにする。

【0031】請求項5の発明における放電パネル駆動装置は、論理回路で構成されたパルス発生器より出力される各維持パルスR、G、Bの関係を变化させ、より精度の高いカラーバランスが得られるようにする。

【0032】

【実施例】

実施例1. 以下、請求項1の発明の一実施例を図について説明する。図1において、21は放電パネル、22は行側ドライバ、23は列側ドライバ、24は波形メモリとしての波形リードオンリメモリ（以下、波形ROMという）、25は波形ROMタイミング制御回路（波形リードオンリメモリタイミング制御回路）、26は波形ROMモード選択回路（波形リードオンリメモリモード選択回路）である。

【0033】また、図2はR、G、Bの3種の色信号に分離された列側ドライバ23に印加されるそれぞれの維持パルスと、波形ROMモード選択回路26のモード選択状態とを示すタイムチャートである。

【0034】次に動作について説明する。まず、放電パネル21に映像を表示する場合には、行側ドライバ22と列側ドライバ23を、波形ROMタイミング制御回路25によって制御される波形ROM24の出力である制御パルスで駆動し、目的とする放電セルに放電を生じさせ、さらに表示データの重みに応じた回数分だけ維持放電を行う。

【0035】そして、カラー画像の場合には、一つの画素がR、G、B用の三つの放電セルで構成されることになるが、通常R、G、Bの発光色は紫外線で蛍光体を励起して得る為、同一条件で放電させれば、バランスのとれた発光色が得られるというものではない。従って維持パルスのパルス幅をR、G、Bごとにそれぞれ調整して、発光色のカラーバランスを調整する。

【0036】また、図2において、波形ROMモード選択回路26で選択されたモードAの状態では、各維持パルスR、G、Bのパルス幅が同一であり、モードBの状態になると、維持パルスRの幅が大きくなり、維持パルスGはそのまま、維持パルスBの幅は小さくなる。

【0037】従って、モードBではR色の発光強度は強まり、B色の発光強度は弱まる。そして、モード数を増やしてあらゆる維持パルスの組み合わせを備えれば、カラーバランスの調整が容易に行えることとなる。

【0038】実施例2. なお、上記実施例ではパルス発生器として波形ROM24を用いたものを示したが、論理回路によって精度の高いパルス発生器を構成することもできる。図3はこの実施例を示す。

【0039】すなわち、27は複数のセトリセットタイプのフリップフロップ、28および29は各フリップフロップ27のセット入力端子およびリセット入力端子に接続された複数組の第1のコンパレータおよび第2のコンパレータとしてのコンパレータ、30および31は各コンパレータ28、29に接続された第1のラッチバッファおよび第2のラッチバッファとしてのラッチバッファ、32はカウンタ回路、33は波形データ生成回路であり、操作入力部、プロセッサ部、ラッチバッファやシフトレジスタなどから構成される。

【0040】この実施例では、波形データ生成回路33から各維持パルスR、G、Bの立ち上りタイミングと立ち下りタイミングを示すデータが出力される。このうち、維持パルスRの立ち上りタイミングデータはラッチバッファ30にラッチされ、維持パルスRの立ち下りタイミングを示すデータはラッチバッファ31にラッチされる。

【0041】コンパレータ28はラッチバッファ30の出力値と刻々と変化するカウンタ回路32の出力値を比較し、両者が一致した時を維持パルスRの立ち上りタイミングとして、セットリセットフリップフロップ27をセットし、一方、コンパレータ29はラッチバッファ31の出力値とカウンタ回路32の出力値を比較し、両者が一致した時を維持パルスRの立ち下りタイミングとして、セットリセットフリップフロップ27をリセットする。

【0042】こうすることで、所望の維持パルスRが生成される。なお、維持パルスGおよび維持パルスBも独立した同様の回路動作によって生成される。

【0043】なお、実施例1のような波形ROM24を使った場合、パルス幅のパターン数がROMの持つアドレス入力数によって制限されるが、この実施例の波形データ生成回路33を構成する論理回路では、カウンタ回路32の動作周波数を単位とした微調整が可能となる。

【0044】そして、近年のフィールド・プログラマブル・ゲートアレイ（FPGA）等のカスタムICの普及により、簡単なハードウェアで実現できる。

【0045】実施例3、また、従来例では、256階調の為に、1フィールドを8個のサブフィールドに分割して走査しているので、表示デューティが25%であったが、発光輝度と階調数を選択して、表示デューティを向上させることができる。

【0046】この実施例を図4に示す。図4において、34は階調表示に必要なサブスキャンを制御するフィールド制御回路であり、8ビット256階調の場合、1フィールドを8個のサブフィールドに分割して表示制御を行う。

【0047】しかし、階調数がさほど必要ではなく、一方、全体の輝度を向上させたい時には、階調数選択回路35が動作して、所望の階調数の制御波形がフィールド制御回路34より出力されるようにして、表示デューティを上げる。

【0048】図5は4ビット16階調とした時のサブフィールド構成を示し、この場合の表示デューティは50%である。階調数をさらに減らして1ビット2値表示とすれば表示デューティは100%となる。

【0049】通常の画像表示においては、コントラストが高ければ輝度が不足しても画質は鮮明であるので、階調数が多い時には輝度が落ちて階調数が少ない時には輝度が上がるという本実施例は、有意義な機能である。

【0050】実施例4、また、カラーバランスは放電によって発生する紫外線の量や、紫外線によって励起される蛍光体の特性などさまざまな条件が影響する為に、放電回数との関係が非線形となる場合があり、例えば8ビット256階調で表示する時、MSBすなわち最上位ビットを表示するサブフィールドでバランスされた各維持パルスR、G、Bの関係を、そのままLSBすなわち最下位ビットを表示するサブフィールドまで、8個全てのサブフィールドに適用できない場合が生じる。

【0051】この場合は、サブフィールド毎に各維持パルスR、G、Bの関係を変化させれば良い。図6にその実施例を示す。この実施例では、フィールド制御回路34がサブフィールドを制御する時、その制御信号の一部が波形ROMモード選択回路26に伝えられ、維持パルスR、G、Bの関係が、図2にある様に、サブフィールドの切り替わりに同期して、例えばモードAからモードBに切り替わって、サブフィールド毎に変化する。

【0052】実施例5、上記実施例4においては、フィールド制御回路34で波形ROMモード選択回路26を制御して、波形ROM24から出力される各維持パルスR、G、Bのパルス幅を変化させたものを示したが、上記実施例2に示す波形データ生成回路33を制御して、論理回路で構成されたパルス発生器より出力される各維持パルスR、G、Bの関係を変化させても良い。図7にその実施例を示す。

【0053】これによれば、フィールド制御回路34がサブフィールドを制御する時、その制御信号の一部が波形データ生成回路33に伝えられ、各組のラッチバッファ30、31、コンパレータ28、29、セットリセットフリップフロップ27の動作が変化することで、例えば維持パルスRのパルス幅が変化し、同様に維持パルスG、Bも変化し、各維持パルスR、G、Bの関係が変化する。

【0054】従って、この実施によれば、上記実施例4に比較した場合、より精度の高いカラーバランスを得ることができる。

【0055】

【発明の効果】以上のように、請求項1の発明によれば放電時間に応じたパルスの波形制御信号を出力する波形リードオンリメモリタイミング制御回路と、上記放電パルスの幅をR、G、Bの色信号についてモード別に選択する波形リードオンリメモリモード選択回路と、該波形リードオンリメモリモード選択回路および上記波形リードオンリメモリタイミング制御回路の各出力にもとづき、上記パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該波形リードオンリメモリからのプログラム制御データにもとづき行の電極および列の電極を行側および列側の各ドライバにより駆動させるように構成したので、カラー表示におけるカラーバランスの調整ができるものが得られる効果がある。

【0056】請求項2の発明によれば立ち上がりタイミングおよび立ち下がりタイミングを示すパルスデータの立ち上がりタイミングのパルスデータおよび立ち下がりタイミングのパルスデータをラッチする第1のラッチバッファおよび第2のラッチバッファと、該第1のラッチバッファおよび第2のラッチバッファの出力値とカウンタ回路からの刻々変化する出力値とを比較する第1のコンパレータおよび第2のコンパレータとを設け、セットリセットフリップフロップを、上記第1のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち上がりタイミングとしてセットさせ、上記第2のコンパレータにおいて比較される各値が一致したときを維持パルスの立ち下がりタイミングとしてリセットさせるように構成したので、論理回路を使用して、カウンタ回路の動作周波数を単位とするパルス幅調整を高い精度にて実現できるものが得られる効果がある。

【0057】請求項3の発明によれば階調数選択回路の出力にもとづいて、表示の1フィールドにおけるサブフィールドの個数を制御するフィールド制御回路と、放電に必要な放電パルスのプログラム制御データを出力する波形リードオンリメモリとを設け、該リードオンリメモリおよび上記フィールド制御回路の各出力にもとづき、行側および列側の各ドライバに、発光輝度および階調数が調整されるように、放電パネルの行の電極および列の電極を駆動させるように構成したので、発光輝度と階調数の選択設定により鮮明画像表示を行えるものが得られる効果がある。

【0058】請求項4の発明によればフィールド制御回路によって、サブフィールドごとにR、G、Bの各維持パルスのパルス幅を調整するように、上記波形リードオンリメモリのモード選択回路を制御するように構成したので、各維持パルスの関係をサブフィールドごとに変化させることで、必要とする発光輝度を得ながら良好なカラーバランスを多階調制御の各階調で設定できるものが得られる効果がある。

【0059】請求項5の発明によればフィールド制御回路に、サブパルスごとに各維持パルスR、G、Bのパルス幅を調整させるように構成したので、更に精度の高いカラーバランスを設定できるものが得られる効果がある。

【図面の簡単な説明】

【図1】請求項1の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図2】図1におけるブロック各部の信号を示すタイミング図である。

【図3】請求項2の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図4】請求項3の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図5】図4の実施例におけるサブフィールド構成を示す説明図である。

【図6】請求項4の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図7】請求項5の発明の一実施例による放電パネル駆動装置を示すブロック図である。

【図8】従来の放電パネル表示装置の構造を示す構成図である。

【図9】従来の放電パネル表示装置の駆動方法を示すブロック図である。

【図10】従来の放電パネル表示装置の動作を示すタイミング図である。

【図11】従来の放電パネル表示装置の1フィールド間の発光時間と階調制御の関係を示す説明図である。

【符号の説明】

- 21 放電パネル
- 22 行側ドライバ
- 23 列側ドライバ
- 24 波形ROM（波形リードオンリメモリ）
- 25 波形ROMタイミング制御回路（波形リードオンリメモリタイミング制御回路）
- 26 波形ROMモード選択回路（波形リードオンリメモリモード選択回路）
- 27 セットリセットフリップフロップ
- 28 コンパレータ（第1のコンパレータ）
- 29 コンパレータ（第2のコンパレータ）
- 30 ラッチバッファ（第1のラッチバッファ）
- 31 ラッチバッファ（第2のラッチバッファ）
- 32 カウンタ回路
- 33 波形データ生成回路
- 34 フィールド制御回路
- 35 階調数選択回路

Figure 1 is a block diagram of the waveform ROM control system. It includes the following components and connections:

- 25**: 液形ROMタイミング制御回路 (Waveform ROM Timing Control Circuit). It is connected to the timing control input of the waveform ROM (24).
- 26**: 液形ROMモード選択回路 (Waveform ROM Mode Selection Circuit). It is connected to the mode selection input of the waveform ROM (24).
- 24**: 液形ROM (波形リードオンリメモリ) (Waveform ROM (Waveform Read-Only Memory)). It outputs data to the column driver (22) and the row driver (23).
- 22**: 行側ドライバ (Row Driver). It receives data from the waveform ROM (24) and drives the row of the discharge panel (21).
- 23**: 列側ドライバ (Column Driver). It receives data from the waveform ROM (24) and drives the column of the discharge panel (21).
- 21**: 放電パネル (Discharge Panel). It is the output device that displays the waveform data.

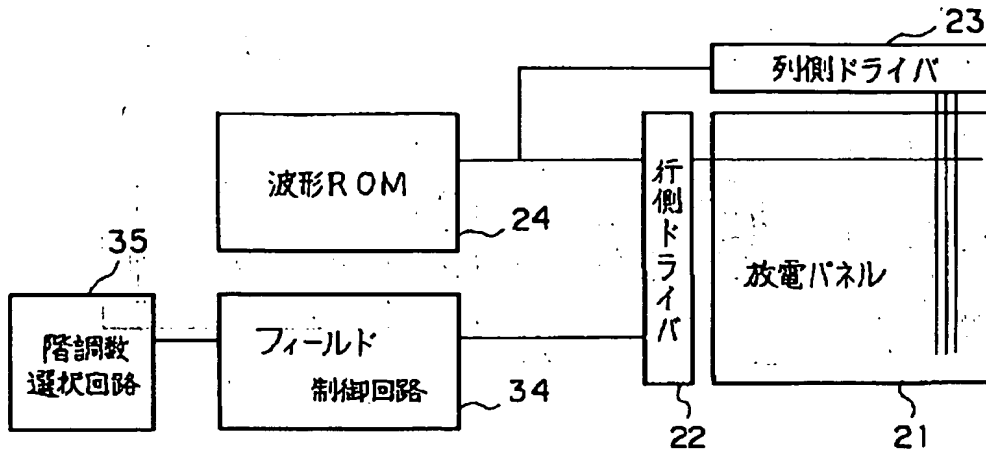
維持パルスR
 維持パルスG
 維持パルスB
 モード選択

モードA モードB

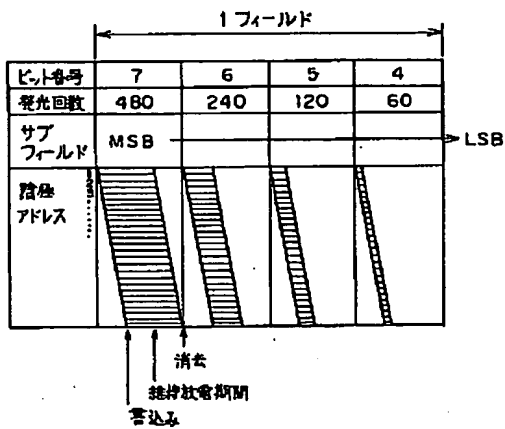
Figure 1 is a block diagram of a waveform generator circuit. The circuit includes a "波形成成回路" (Waveform Generator) block 33, a "カウンタ回路" (Counter Circuit) block 32, and five SR flip-flop blocks 27. The wave generator 33 provides inputs to five comparators 30 and 31. The counter 32 provides inputs to the comparators 31. Each comparator 30 outputs to an SR flip-flop 27. The flip-flops 27 are labeled "維持パルスR", "維持パルスG", and "維持パルスB".

30: ラーチバツファ (オ1. ラーチバツファ)
31: ラーチバツファ (オ2. ラーチバツファ)

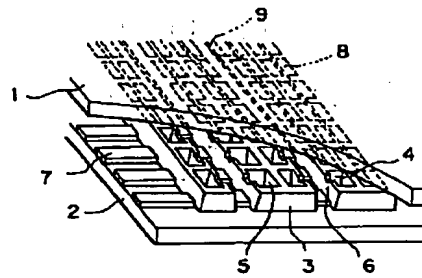
【図 4】



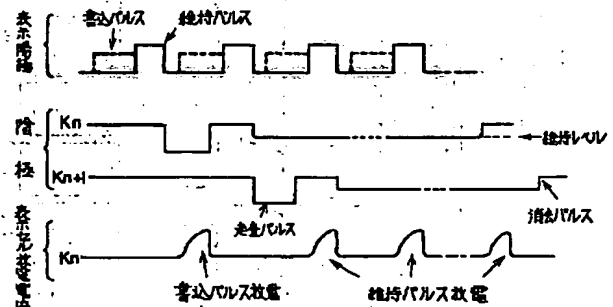
【図 5】



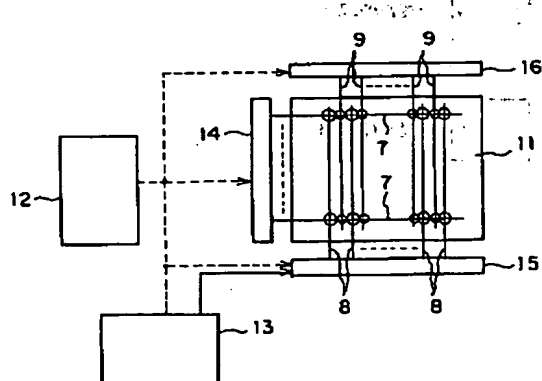
【図 8】



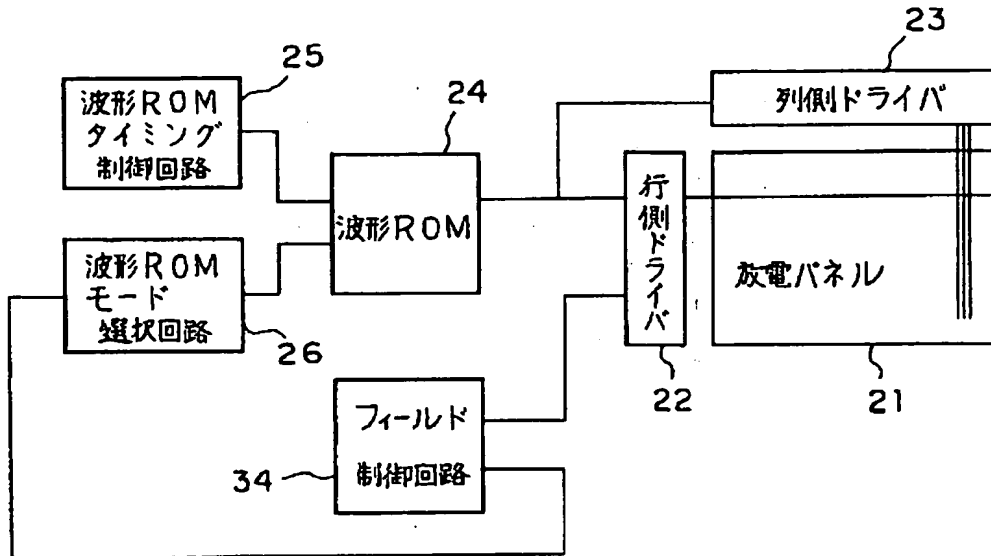
【図 10】



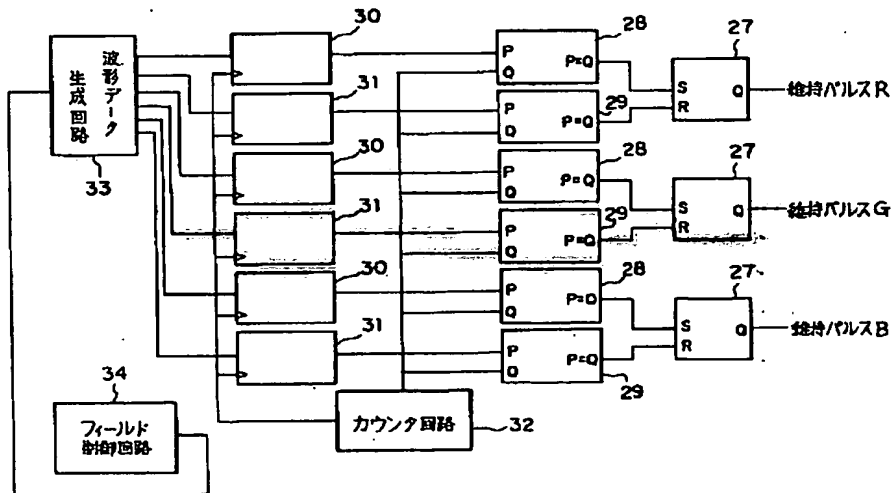
【図 9】



【図 6】



【図 7】



【図 11】

